

3D-Stacking of Ultra-Thin Chips and Chip Packages

3D-stapelen van ultradunne chips en chipverpakkingen

Swarnakamal Priyabadini

Promotoren: prof. dr. ir. J. Vanfleteren, dr. ir. T. Sterken
Proefschrift ingediend tot het behalen van de graad van
Doctor in de Ingenieurswetenschappen: Elektrotechniek

Vakgroep Elektronica en Informatiesystemen
Voorzitter: prof. dr. ir. J. Van Campenhout
Faculteit Ingenieurswetenschappen en Architectuur
Academiejaar 2013 - 2014



Summary

The semiconductor industry strives to encompass "More-than-Moore" solutions for future electronic systems. On the same platform, microelectronic technologies that enable high density integration (HDI) of integrated circuits (IC) are becoming increasingly important. IC integration is traditionally done using two-dimensional (2D) approaches where the active and passive components are assembled on a rigid substrate. However this 2D integration approach fails to meet the HDI-requirements of current generation's smart electronic devices. In order to meet with the need for increased compactness in electronic packages, vertical integration is proven to be essential. As a result, the focus of most industries targets the transition of 2D- to 3D-integration, which replaces the surface level integration of multiple electronic components by employing the z-axis as the 3rd dimension of interconnection. Package-on-Package (PoP) and Through Silicon Via (TSV) are the known 3D-integration concepts, being adopted in many research groups and various industrial processes.

In Package-on-Package (PoP) techniques, the benefits of traditional packaging are combined with those of die-stacking techniques. Traditional packaging places each die in its own package designed for PCB assembly. The Die-Stacking technique stacks multiple packages in vertical direction forming a single stacked package. In traditional PoP configurations, the interconnection is made either by wire-bonding or ball grid array (BGA) at the edge of the package and/or chip. Both the techniques slightly increase the length and width of the package and usually require an extra interposer layer or under-filling material between the packages and/or chips. Through-silicon vias (TSVs) technology has the advantage of replacing edge wiring and/or BGA by creating vertical connections through the body of the chips. However, TSV introduces an added risk of damaging the active surface of the chips while creating the vias.

The Ultra-thin chip package (UTCP) technology is a thin-film based packaging technology where a fan-out metallization is used to redistribute the I/Os of the IC. It has the capability of producing thin and flexible electronic packages which can easily be embedded inside commercially available flexible circuit boards (FCB). It can be integrated with the circuit components by use of through hole via (THV) technology where the vias are made on the fan-out contact pads of the package, as opposed to vias through the chip as used in TSV technology.

By combining the concept of UTCP with traditional PoP and TSV technologies, a new 3D-stacking technology is created which targets a broad field of industrial and medical

electronic applications. In this PhD research work, a HDI technology is developed which is based on the aforementioned three technologies. The development principles and fabrication processes are the topics, discussed in this dissertation. A brief overview on IC packaging trends as per today's demand is summarized in Chapter 1. This includes the pros and cons of some of the available HDI technologies. The last part of this chapter covers the state-of-the-art of the new 3D-stacking concept for producing miniaturized multi-chip-modules.

Chapter 2 contains the 3D-stacking principle based on UTCs which was developed during the initial phase of the PhD. The UTCs are fabricated by embedding $\sim 30\mu m$ thick chips within two spin-on polyimide (PI) layers forming a flexible package of total thickness $\sim 60\mu m$. Connection to the outer world is made by fan-out metallization from the contact pads of the chip. These thin and flexible packages are next 3D-stacked using a vacuum lamination process, after leveling each package via layer-to-layer alignment. A non-conductive thin film adhesive is used as bonding material in between vertically leveled packages. 3D-interconnection is made by making Through-Hole Vias (THVs) on the stacked fan-out contact pads of the package. The specific properties of each material used in the stacking process are discussed in this chapter, as well as the reporting of the process development, such as the lamination parameter optimization towards a uniform adhesive layer within the stack. The THV technology also makes use of laser ablation micromachining for making THVs, followed by metallisation using electroless and galvanic copper plating. The laser ablation parameters are optimized to get smooth TH wall with less adhesive melt and/ or undercutting problem.

Chapter 3 describes the realisation and making of a stacked demonstrator, which consists of a stack of four EEPROM die UTCs, having an application in Hearing Aid Device manufacturing. The stack is designed in such a way that the memory capacity of each stacked module is increased by four within the geometrical space of a single EEPROM die. To make the UTC production cost effective, multiple packages are fabricated in large scale on a single substrate. For making a stack of four packages as the end product, the packages with different layouts are processed on separate substrates. After completing the packaging process, all the panels containing multiple UTCs are released from the rigid carrier, aligned and stacked vertically by vacuum lamination process. THV process enables making the interconnection between the vertically stacked packages. Top and bottom side patterning of the copper and singulating each of the stack completes the fabrication process. Functionality of UTCs can be verified before the stacking process which opens the possibility of estimating and improving the yield of the full stack. However, the yield of the stacking process was found to be significantly smaller than the calculated value. The failure analysis of the stack shows that topographical difference at the chip edge of the thin package leads to thin die cracking. Applied pressure during the lamination process plays an important role at the non-flat edge of the conventional UTC. Non-uniformity in applied pressure at this region is the reason behind this die cracking problem. This analysis shows the direction of further development in this technology. It includes yield improvement of multiple-UTCs by using a proper thin-die bonding technology as well as the development of a Flat-UTC technology for improving the yield of the stacking process.

Chapter 4 describes the Flat-UTC concept and development process. In this concept

an extra PI layer is introduced, having the same thickness as the Ultra-thin Chip (UTC). In order to make the whole package flat at the chip edge, it is necessary to create a cavity in this polyimide layer, having the dimensions of the chip. The use of negatively toned photodefinable polyimides (PDPI) makes the cavity process straightforward, by using the previously bonded thin chip as a mask, thus creating a self-aligned cavity. The vias to the chip are conventionally drilled using laser ablation technology. However this approach has the unavoidable risk of damaging the contact pads of the chip. Also the beam-shaping optics of the laser needs a regular calibration for getting a reproducible via shape. A PDPI based photo-via process eliminated all these risks linked to the laser ablation process. To reduce the processing cost, it is necessary to produce these Flat-UTCs on a large scale. Selecting a correct set of materials for the large area process is discussed in the first part of this chapter. It is then followed by basic fabrication issues related to CTE mismatch between carrier-PDPI layer which results in package deformation after UTC release and precise bonding of multiple UTC on the PDPI substrate. A redesigned process flow to reduce the degree of deformation by introduction of stress-relief grooves in the PDPI layer is discussed in this chapter. Precise placement and bonding of thin chips by use of BCB as glue material is described in details.

Chapter 5 gives the detailed fabrication process of the EEPROM prototype based on Flat-UTC concept. As per the failure analysis given in Chapter 3, the package distribution per panel plays a role in lowering the yield figure of the stacking process. This has been addressed and a rotational symmetry in package distribution per panel is introduced in the package design. The stacking process yield in this particular case by using Flat-UTCs has found to be 83% which is much higher as compared to that in conventional UTC stacking process (15%). However, an increase in total stack thickness from $300\mu\text{m}$ to $360\mu\text{m}$ is noticed by stacking 4 Flat-UTCs, each embedding $20\mu\text{m}$ thick EEPROM dies.

Chapter 6 gives an overview on the further development activities which have been initiated in the frame-work of the PhD. This includes a laser-assisted package release process to replace the salt-based release process, which has shown yield risks during wet processing. Also thermo-mechanical behavior of these thin stacks is an important factor to be studied. A brief discussion on the circuit design and thermal measurements by using a dedicated thermal test chip (PTCL) is described in the last part of this chapter.

Samenvatting

De halfgeleider-industrie neigt naar het gebruik van More-than-Moore-technieken voor microsystemen. Hierbij wordt gezocht naar proces-technologieën die toelaten om verscheidene geïntegreerde schakelingen (IC) op compacte wijze op hetzelfde substraat te integreren, waarbij de densiteit van de interconnecties drastisch toeneemt (High Density Integration of HDI). In de conventionele aanpak voor het integreren van ICs worden de actieve en passieve componenten naast elkaar op hetzelfde harde substraat geplaatst. Deze 2D-aanpak voldoet echter niet meer aan de eisen voor hoge-densiteitsintegratie die gesteld worden door de huidige generatie elektronica. De oplossing wordt gevonden in het gebruik van de derde dimensie door middel van verticale integratie. Twee bekende concepten voor 3D-integratie die vandaag door de industrie en in onderzoek gebruikt worden zijn Package-on-Package (PoP) en Through-Silicon-Via (TSV).

In de eerstgenoemde Package-on-package (PoP) aanpak, worden de voordelen van traditionele chip-verpakkingstechnologieën gecombineerd met die van chip-stapeltechnieken (die-stacking). In de traditionele technologie worden de ICs één voor één verpakt voor verdere PCB-assemblage. De chip-stapeltechnieken combineren dan weer verscheidene ICs boven elkaar tot één module, dewelke als verpakking kan gebruikt worden. In de PoP-technologie worden verscheidene van dergelijke ICs en verpakkingen gecombineerd, en met elkaar verbonden door minuscule draadjes (wire-bonding) of door middel van een matrix van soldeer-balletjes (ball-grid array of BGA). Hierdoor stijgt het gebruikte oppervlak van de verpakking lichtjes, en vaak is een extra tussen-substraat (interposer) of vullende lijmlaag (underfill) nodig.

De techniek van Through-Silicon-Vias (TSV) vermijdt deze fijne bekabeling met zogeheten wire bonds, of de BGA, door verticale verbindingen te maken doorheen het silicium van de IC. Hierbij neemt dan wel het risico op schade aan de actieve oppervlaktelagen van de IC toe.

De "Ultra-Thin Chip Package"-technologie (UTCP-technologie) is een dunne-film gebaseerde chipverpakkingstechnologie waarbij een uitwaaiende metallisatielaag gebruikt wordt om de hoge densiteit van interconnecties op de chip uit te spreiden tot een lagere densiteit, die compatibel is met de mogelijkheden van conventionele 2D-integratie. Deze dunne en flexibele chip-verpakkingen kunnen ook ingebed worden in commercieel beschikbare flexibele substraten (FCBs), waarbij de verbindingen met de IC gerealiseerd worden door middel van gemetalliseerde vias naar de uitgewaaierde contacten op de UTCP.

Door de technieken van UTCP-verpakkingen te combineren met de PoP- en TSV-technologieën ontstaat een nieuwe 3D-verpakkingsstrategie die toepassingen vindt in een breed gamma van elektronica voor industriële en medische doeleinden. In dit doctoraatsonderzoek werd deze hoge dichtheits-verpakkingstechniek ontwikkeld, gestoeld op de eerder vermelde technieken. Dit manuscript verhaalt het ontwikkelen ervan en beschrijft het proces, de productiemethode en zijn toepassingen. Een kort overzicht van de huidige trends in IC-verpakkingstechnologie, met hun voor- en nadelen, wordt beschreven in hoofdstuk 1. Dit hoofdstuk sluit af met de stand van zaken wat betreft 3D-verpakkingstechnologie voor het maken van multi-chip modules.

Hoofdstuk 2 beschrijft de basisprincipes van het opeenstapelen van UTCPS, zoals die tijdens de eerste fase van het doctoraatsonderzoek geconcentreerd werden. De UTCP-verpakkingen bestaan hier uit een dunne chip met een dikte van slechts $\sim 30\mu\text{m}$, ingebed tussen twee polyimide lagen. Op deze wijze wordt een flexibele verpakking met een totale dikte van $\sim 60\mu\text{m}$ bekomen. De elektrische verbinding tussen de chip en het systeem wordt verzekerd door een dunne-film metallisatie, dewelke de hoge dichtheid van de contactpaden uitwaaiert tot een lagere dichtheid. Deze dunne verpakkingen worden vervolgens opeengestapeld met behulp van vacuüm-laminatie technieken, nadat de individuele verpakkingen werden opgelijnd. De verticale interconnecties (3D) worden verzekerd met behulp van Through-Hole Vias (THVs). In dit hoofdstuk worden de materiaalparameters van de gebruikte materialen besproken, en er wordt ook dieper ingegaan op de ontwikkeling van het proces. Zo wordt er gebruik gemaakt van laser ablatie voor het realiseren van de THVs, gevolgd door een metallisatiestap met behulp van zowel electroless als galvanisch opplaten van koper. De parameters voor deze laser ablatie werden geoptimaliseerd naar gladde via-wanden toe, waarbij de fenomenen van *melt* en *undercutting* geminimaliseerd werden.

Hoofdstuk 3 beschrijft de realisatie van een prototype bestaande uit een *stack* van vier EEPROM geheugenchips, verpakt in een UTCP, die zijn nut bewijst in het ontwerp van hoorapparaten. De *stack* realiseert op die manier de performantie van vier ICs binnen het geometrische volume van één chip. Om de kosten van de UTCP productie onder controle te houden worden de verschillende lagen van de *stack* afzonderlijk geproduceerd. Eens de individuele lagen afgewerkt zijn, worden de flexibele substraten losgemaakt van hun tijdelijke drager, en na oplijnen met elkaar verlijmd door middel van vacuüm-laminatie technieken.

Het THV-proces wordt dan toegepast om de lagen elektrisch met elkaar te verbinden. Tot slot worden de koperpatronen aangebracht op de boven- en onderlagen. Vooraleer de individuele lagen verenigd worden kan de functionaliteit van elke UTCP afzonderlijk getest worden. Dit laat toe om een controle uit te voeren op de *yield* van het totale proces, inclusief de verlijming van de lagen. Hier werd aangetoond dat de uiteindelijke *yield* van het verlijmen te laag lag. Een analyse van de falingsmechanismen toont aan dat de oorzaak kan gevonden worden in de topografie aan de rand van de IC, waar barsten in het silicium worden waargenomen. Deze zijn het gevolg van een niet-uniforme drukverdeling tijdens laminatie. Deze vaststellingen hebben geleid tot de verdere ontwikkelingen dewelke in de volgende hoofdstukken besproken worden, teneinde de *yield* onder controle te houden, onder meer door een geoptimaliseerd verlijmproces enerzijds, en het ontwikkelen van een topografisch vlakke UTCP

anderzijds.

In hoofdstuk 4 wordt dieper ingegaan op het begrip *Flat UTCP* en de ontwikkeling ervan. Hierbij wordt een extra laag polyimide aan het basisproces toegevoegd, waarvan de dikte die van de chip evenaart. Om de topografie vervolgens weg te werken, wordt een caviteit rond de IC gemaakt. Dankzij het gebruik van een lichtgevoelige variant van het polyimide (*PhotoDefinable Polyimide* of *PDPI*) kan dit eenvoudigweg gerealiseerd worden door de IC zelf als definitiemasker te gebruiken voor de caviteit, waardoor beiden nauw bij elkaar aansluiten. Bovenop deze caviteit komt tot slot de polyimidelaag waarin de vias worden gedefinieerd. De mogelijke schade die het gevolg kan zijn van het laser ablatieproces dat gebruikt wordt voor de via-definitie kan hier vermeden worden door opnieuw gebruik te maken van het fotogevoelige polyimide (PDPI). Tot slot wordt opnieuw dieper ingegaan op de materiaalkeuzes bij de realisatie van deze UTCP verpakkingen. Zo resulteert een verschil in de thermische eigenschappen van het polyimide en het processubstraat in een vervorming van de vrijstaande UTCP-verpakking. Hier wordt dieper op ingegaan. Ook de keuze voor BCB als bindmiddel tussen de IC en het polyimide wordt toegelicht.

Hoofdstuk 5 verhaalt de productie van de EEPROM demonstrator met behulp van het *Flat UTCP*-idee. Zoals in de *yield*-analyse van hoofdstuk 3 werd aangetoond, heeft de plaatsing van de ontwerpen op de verschillende lagen van de *stack* een effect op de uiteindelijke *yield* van het proces. Hiervoor werd een techniek uitgedacht waarbij de verschillende lagen in een ontwerp worden ingewerkt met behulp van een rotationele symmetrie. De resulterende *yield* van alle toegepaste verbeteringen bedroeg 83%, wat een significante verbetering inhoudt ten opzichte van de eerder opgemeten 15%. Deze verbetering gaat echter ten koste van een kleine toename van de totale dikte van $300\mu\text{m}$ tot $360\mu\text{m}$, waarin vier EEPROM chips verpakt zijn.

Tot slot wordt in Hoofdstuk 6 een overzicht gegeven van de lopende ontwikkelingen die hun oorsprong vinden in dit doctoraatswerk. Hier wordt onder andere gewerkt op het gebruik van laser-technieken voor het losmaken van de UTCPs van de tijdelijke substraten. Een tweede onderzoeksgebied handelt over het thermo-mechanische gedrag van een *stack*. Hiertoe werd een test-circuit ontworpen gebaseerd op een daartoe ontworpen thermische test chip.